

**(19) 대한민국특허청(KR)
(12) 공개특허공보(A)**

(51) Int. Cl. H01L 21/28	(11) 공개번호 특1998-057088	(43) 공개일자 1998년09월25일
(21) 출원번호 1996-076358		
(22) 출원일자 1996년12월30일		
(71) 출원인 현대전자산업 주식회사, 김영환 대한민국 467-860 경기도 이천시 부발읍 애마리 산 136-1		
(72) 발명자 임태정 대한민국 140-132 서울특별시 용산구 청파동2가 9-23 4/6 이영철 대한민국 467-860 경기도 이천시 부발읍 애마리 현대전자임대아파트 103-103 남기원 대한민국 467-850 경기도 이천시 대월면 사동리 현대전자사원아파트 102-109		
(74) 대리인 박해천 원석회		
(77) 산사청구 있음		
(54) 출원명 반도체 장치의 금속 콘택팅성방법		

요약

1. 청구범위에 기재된 발명이 속한 기술분야

반도체 장치 제조방법

2. 발명이 해결하려고 하는 기술적 과제

종래에는 텅스텐 플러그 형성후 흡 내의 음쪽 패인 부위에서 미세한 선목의 콘택트를 고 알루미늄막의 단자 피복성의 한계로 인한 보이드(void)가 유발되어 반도체 장치의 신뢰도 및 수율을 저하시키는 문제점이 있었음.

3. 발명의 해결방법의 요지

본 발명은 텅스텐 막 에치링후 Ti막을 중착함으로써 알루미늄막 중착시 발생하는 보이드를 줄이는 반도체 장치의 금속 콘택팅방법을 제공하고자 함.

4. 발명의 중요한 용도

반도체 장치의 금속 콘택팅 형성에 이용됨

대표도

도2d

영세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 반도체 장치의 금속 콘택팅 공정도.

도 2a 내지 도 2e는 본 발명의 일실시예에 따른 반도체 장치의 금속 콘택 공정도.

• 도면의 주요 부분에 대한 부호의 설명

10, 20 : 실리콘 기판	11, 21 : BPSG막
12, 22 : TiN막	13, 23 : 텐스텐막
13a, 23a : 텐스텐 플러그	14, 25 : 알루미늄막
15 : 보이드	24 : Ti 막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 금속 콘택방법에 관한 것으로, 특히 단차 피복성 접촉 저항 특성을 위해 사용하는 텐스텐 플러그(W plug) 공정을 포함하는 종래의 금속 콘택방법을 개선하는 반도체 장치의 금속 콘택방법에 관한 것이다.

일반적으로, 반도체 장치의 금속 콘택은 알루미늄을 사용하여 스퍼터링(sputtering)하는 방법을 사용하여 왔다. 그러나, 반도체 장치의 고급작화에 따라 금속 콘택을의 크기가 점점 감소하게 되고, 이에따라, 알루미늄 콘택의 단차 피복성을 확보하기가 힘들게 되었다.

또한, 이러한 문제점을 해결하기 위하여 접촉 저항 특성이 우수한 텐스텐 플러그를 사용하여 단차 피복성을 개선하는 방법이 사용되고 있다. 텐스텐은 고용정의 내열 금속으로 실리콘과의 열적 안정성이 우수하여, 비저항이 5내지 10/ μ 오옴으로 낮기 때문에 풀러그로 사용되고 있다.

이하, 첨부된 도면 도 1a 내지 도 1d를 참조하여 종래의 금속 콘택방법과 그 문제점을 상술한다.

먼저, 도 1a에 도시된 바와 같이 소정의 하부층이 형성된 실리콘 기판(10)상에 중간 절연막인 BPSG(BoroPhosphoric Silicate Glass)막(11)을 증착하고, 실리콘 기판(10) 상의 하부층에 접촉되는 콘택홀을 형성한 다음, 전체구조 상부에 경벽금속인 TiN 막(12)을 증착한다.

다음으로, 도 1b에 도시된 바와같이 TiN막(12)상부에 텐스텐막(13)을 증착한다.

이어서, 도 1c에 도시된 바와 같이 텐스텐막(13)을 에치백(etch back)하여 텐스텐 플러그(13a)를 형성한다. 이때, 콘택홀 내에 용족 패인 곳이 발생한다.

끝으로, 도 1d에 도시된 바와 같이 전체구조 상부에 알루미늄막(14)을 스퍼터링 방식으로 증착한다.

이때, 둘 내의 용폭 패인 부위에서 미세한 선폭의 콘택홀과 알루미늄막의 단차 피복성의 한계로 인한 보이드(void)(15)가 유발된다. 이러한 보이드(15)는 단선 등의 문제를 유발하게 되어 반도체 장치의 신뢰도를 떨어뜨리는 결과를 초래한다.

발명이 이루고자 하는 기술적 과제

본 발명은 텐스텐막 에치백후 Ti막을 증착함으로써 알루미늄막 증착시 발생하는 보이드를 줄이는 반도체 장치의 금속 콘택방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 반도체 장치의 금속 콘택방법에 있어서, 반도체 기판 상에 기형성된 소정의 중간 절연막을 선박적 식각하여 콘택홀을 형성하는 단계, 전체구조 상부에 텐스텐막을 형성하는 단계, 상기 텐스텐막을 에치백하여 텐스텐 플러그를 형성하는 단계, 전체구조 상부에 Ti막을 형성하는 단계, 상기 Ti막 상부 주 금속막을 형성하는 단계를 포함하여 이루어진다.

이하, 첨부된 도면 도 2a 내지 도 2c를 참조하여 본 발명의 일실시예를 상술한다.

먼저, 도 2a에 도시된 바와 같이 소정의 하부층이 형성된 실리콘 기판(20)상에 중간 절연막인 BPSG(BoroPhosphoric Silicate Glass)막(21)을 증착하고, 실리콘기판(20) 상의 하부층에 접촉되는 콘택홀을 형성한 다음, 전체구조 상부에 경벽금속인 TiN 막(22)을 증착한다.

다음으로, 도 2b에 도시된 바와 같이 TiN (22) 상부에 텅스텐막(23)을 증착한다.

이어서, 도 2c에 도시된 바와 같이 텅스텐막(23)을 에치백(etch back)하여 텅스텐 플러그(23a)를 형성한다. 이때, 콘택을 내에 응축 때인 곳이 발생한다.

다음으로, 도 2d에 도시된 바와 같이 전체구조 상부에 Ti막(24)을 증착한다. 이때, Ti막(24)은 약 200 Å 내지 약 450 Å 두께로 증착하며, 이후의 알루미늄막 증착 시 어스펙트비(aspect ratio)를 개선하고, 알루미늄막과의 접착성을 향상시킨다.

끝으로, 도 2e에 도시된 바와 같이 전체구조 상부에 알루미늄막(25)을 스퍼터링 방식으로 증착한다.

상기와 같은 본 발명의 일실시예에 나타난 바와 같이 본 발명은 텅스텐막 에치백후 알루미늄막과의 접착성이 우수한 Ti막을 증착하고 난 다음 알루미늄막을 증착함으로써 보이드를 방지할 수 있게 된다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 본 발명은 텅스텐막 에치백 후 Ti막 증착 공정을 추가하여 보이드를 줄이는 효과가 있으며, 또한 이로 인하여 동작 속도를 높게 하고, 접촉 저항을 감소시켜 반도체 장치의 특성 및 신뢰도를 향상시키고, 제조 공정상의 수율을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 장치의 금속 콘택방법에 있어서, 반도체 기판 상에 기형성된 소정의 증간 절연막을 선택적 삭각하여 콘택홀을 형성하는 단계, 전체구조 상부에 텅스텐막을 형성하는 단계, 상기 텅스텐막을 에치백하여 텅스텐 플러그를 형성하는 단계, 전체구조 상부에 Ti막을 형성하는 단계, 상기 Ti막 상부에 주 금속막을 형성하는 단계를 포함하여 이루어진 반도체장치의 금속 콘택방법

청구항 2.

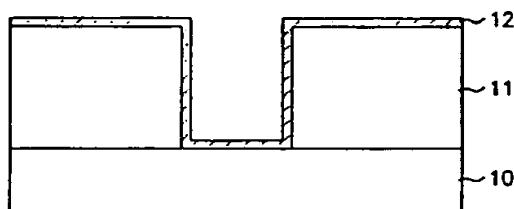
제 1 항에 있어서, 상기 텅스텐막을 형성하는 단계 이전에, 전체구조 상부에 장벽 금속막을 형성하는 단계를 더 포함하여 이후 어진 것을 특징으로 하는 반도체 장치의 금속 콘택방법.

청구항 3.

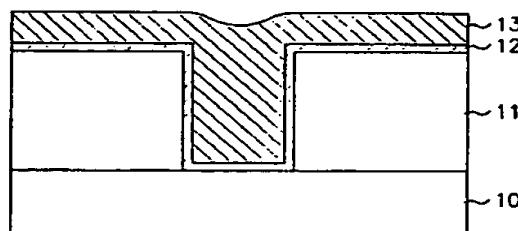
제 1 항 또는 제 2 항에 있어서, 상기 Ti막은 200 Å 내지 약 450 Å 두께인 것을 특징으로 하는 반도체 장치의 금속 콘택방법.

도면

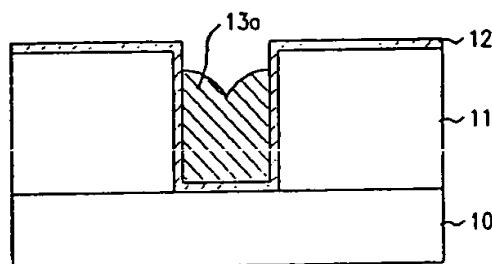
도면 1a



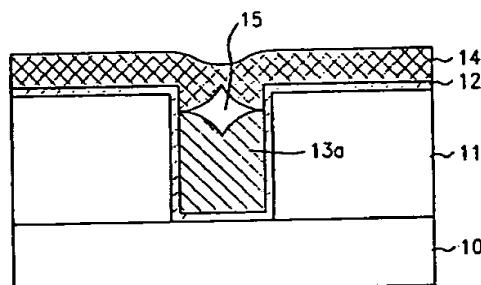
도면 1b



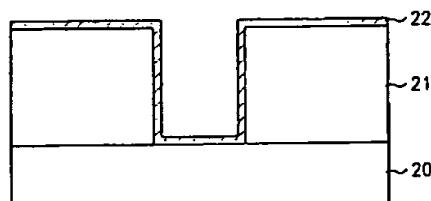
도면 1c



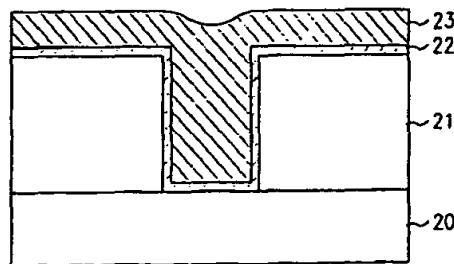
도면 1d



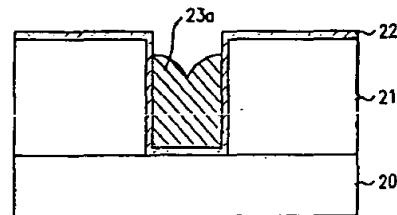
도면 2a



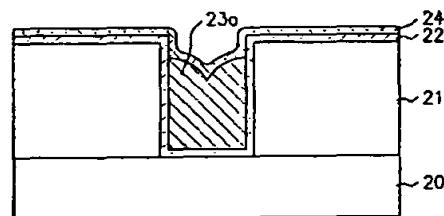
도면 2b



도면 2c



도면 2d



도면 2e

